



TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

		Application No.	10/750,156
		Filing Date	December 31, 2003
		First Named Inventor	Byung-Il Park
		Art Unit	
		Examiner Name	
Total Number of Pages in This Submission	7	Attorney Docket Number	51876P583

ENCLOSURES (check all that apply)

<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment / Response <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input type="checkbox"/> PTO/SB/08 <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/ Incomplete Application <input type="checkbox"/> Basic Filing Fee <input type="checkbox"/> Declaration/POA <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s)	<input type="checkbox"/> After Allowance Communication to Group <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input checked="" type="checkbox"/> Other Enclosure(s) (please identify below):	<div style="border: 1px solid black; padding: 5px; min-height: 50px;"> Request for Priority; return postcard </div>	

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm or Individual name	Eric S. Hyman, Reg. No. 30,139 BLAKELY, SOKOLOFF, TAYLOR & ZAFMAN LLP
Signature	
Date	1/27/04

CERTIFICATE OF MAILING/TRANSMISSION

Typed or printed name	Melissa Stead
Signature	
Date	1-27-04

Based on PTO/SB/21 (08-03) as modified by Blakely, Sokoloff, Taylor & Zafman (wir) 09/11/2003.
 SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450

JAN 3 0 2004

FEET TRANSMITTAL for FY 2003

Effective 01/01/2003. Patent fees are subject to annual revision.

 Applicant claims small entity status. See 37 CFR 1.27.

TOTAL AMOUNT OF PAYMENT (\$)

Complete if Known

Application Number	10/750,156
Filing Date	December 31, 2003
First Named Inventor	Byung-II Park
Examiner Name	
Group/Art Unit	
Attorney Docket No.	51876P583

METHOD OF PAYMENT (check all that apply)

Check Credit card Money Order Other None
 Deposit Account

Deposit Account Number **02-2666**Deposit Account Name **Blakely, Sokoloff, Taylor & Zafman LLP**

The Commissioner is authorized to: (check all that apply)

- Charge fee(s) indicated below Credit any overpayments
 Charge any additional fee(s) required under 37 CFR §§ 1.16, 1.17, 1.18 and 1.20.
 Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account

FEE CALCULATION

1. BASIC FILING FEE

Large Entity		Small Entity		Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)	
1001	770	2001	385	Utility filing fee
1002	340	2002	170	Design filing fee
1003	530	2003	265	Plant filing fee
1004	770	2004	385	Reissue filing fee
1005	160	2005	80	Provisional filing fee
SUBTOTAL (1)		(\$)		

2. EXTRA CLAIM FEES

Total Claims	Independent Claims	Multiple Dependent	Extra Claims	Fee from below	Fee Paid
			- 20** =	X	
			- 3 =	X	

Large Entity		Small Entity		Fee Description
Fee Code	Fee (\$)	Fee Code	Fee (\$)	
1202	18	2202	9	Claims in excess of 20
1201	86	2201	43	Independent claims in excess of 3
1203	290	2203	145	Multiple Dependent claim, if not paid
1204	86	2204	43	**Reissue independent claims over original patent
1205	18	2205	9	**Reissue claims in excess of 20 and over original patent
SUBTOTAL (2)		(\$)		

**or number previously paid, if greater. For Reissues, see below

3. ADDITIONAL FEES

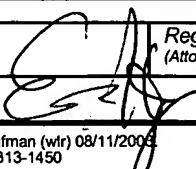
Large Entity	Small Entity	Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)
1051	130	2051	65 Surcharge - late filing fee or oath
1052	50	2052	25 Surcharge - late provisional filing fee or cover sheet.
2053	130	2053	130 Non-English specification
1812	2,520	1812	2,520 For filing a request for ex parte reexamination
1804	920 *	1804	920 * Requesting publication of SIR prior to Examiner action
1805	1,840 *	1805	1,840 * Requesting publication of SIR after Examiner action
1251	110	2251	55 Extension for reply within first month
1252	420	2252	210 Extension for reply within second month
1253	950	2253	475 Extension for reply within third month
1254	1,480	2254	740 Extension for reply within fourth month
1255	1,210	2255	605 Extension for reply within fifth month
1404	330	2401	165 Notice of Appeal
1402	330	2402	165 Filing a brief in support of an appeal
1403	290	2403	145 Request for oral hearing
1451	1,510	2451	1,510 Petition to institute a public use proceeding
1452	110	2452	55 Petition to revive - unavoidable
1453	1,330	2453	665 Petition to revive - unintentional
1501	1,330	2501	665 Utility issue fee (or reissue)
1502	480	2502	240 Design issue fee
1503	640	2503	320 Plant issue fee
1460	130	2460	130 Petitions to the Commissioner
1807	50	1807	50 Processing fee under 37 CFR 1.17(q)
1806	180	1806	180 Submission of Information Disclosure Stmt
8021	40	8021	40 Recording each patent assignment per property (times number of properties)
1809	770	1809	385 Filing a submission after final rejection (37 CFR § 1.129(a))
1810	770	2810	385 For each additional invention to be examined (37 CFR § 1.129(b))
1801	770	2801	385 Request for Continued Examination (RCE)
1802	900	1802	900 Request for expedited examination of a design application
Other fee (specify)			

* Reduced by Basic Filing Fee Paid

SUBTOTAL (3)

(\$)

SUBMITTED BY

Name (Print/Type)	Eric S. Hyman	Registration No. (Attorney/Agent)	30,139	Telephone	(310) 207-3800
Signature				Date	1/27/09



DOCKET NO.: 51876P583

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

BYUNG-IL PARK, ET AL.

Application No.: 10/750,156

Filed: December 31, 2003

For: Multi-Port Memory Device

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Applicant respectfully requests a convention priority for the above-captioned application, namely:

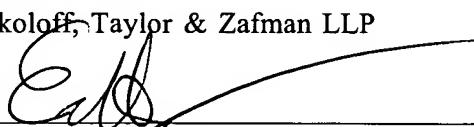
COUNTRY	APPLICATION NUMBER	DATE OF FILING
Korea	2003-0060250	29 August 2003
Korea	2003-0092375	17 December 2003

A certified copy of the document is being submitted herewith.

Dated: 1/27/04

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP


Eric S. Hyman, Reg. No. 30,139

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800

I hereby certify that this correspondence is being deposited with the United States Postal Service on the date shown below with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.


Melissa Stead

1-27-04
Date



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0060250
Application Number

출원년월일 : 2003년 08월 29일
Date of Application AUG 29, 2003

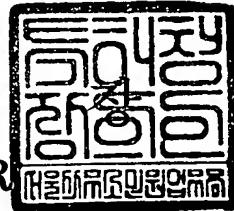
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003년 12월 22일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【제출일자】	2003.08.29		
【발명의 명칭】	직렬 입/출력 인터페이스를 가진 멀티-포트 메모리 소자		
【발명의 영문명칭】	MULTI-PORT MEMORY DEVICE HAVING SERIAL I/O INTERFACE		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【명칭】	특허법인 신성		
【대리인코드】	9-2000-100004-8		
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천		
【포괄위임등록번호】	2000-049307-2		
【발명자】			
【성명의 국문표기】	박병일		
【성명의 영문표기】	PARK, Byung Il		
【주민등록번호】	680924-1110414		
【우편번호】	467-701		
【주소】	경기도 이천시 부발읍 아미리 산 136-1		
【국적】	KR		
【발명자】			
【성명의 국문표기】	이홍석		
【성명의 영문표기】	LEE, Hong Seok		
【주민등록번호】	750614-1047712		
【우편번호】	467-701		
【주소】	경기도 이천시 부발읍 아미리 산 136-1		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 특허법인 신성 (인)		
【수수료】			
【기본출원료】	15	면	29,000 원
【가산출원료】	0	면	0 원

1030060250

출력 일자: 2003/12/24

【우선권주장료】	0 건	0 원
【심사청구료】	0 항	0 원
【합계】	29,000 원	
【첨부서류】	1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

본 발명은 반도체 메모리 설계 기술에 관한 것으로, 특히 직렬 입/출력 인터페이스(Serial I/O Interface)를 가진 멀티-포트 메모리 소자에 관한 것이다. 직렬 입/출력 인터페이스를 지원하며, 독립적인 데이터 교환이 가능한 다수의 포트를 구비하는 직렬 입/출력 인터페이스를 가진 멀티-포트 메모리 소자를 제공하는데 그 목적이 있다. 본 발명의 일 측면에 따르면, 각각 다수의 DRAM 셀과 로우 디코더를 포함하며, 코어 영역을 4분할하고 있는 각 사분면에 일정 갯수만큼 로우 방향으로 배치된 다수의 뱅크; 1, 3사분면의 코어 영역과 2, 4사분면의 코어 영역 사이에 배치되며, 패킷 형태로 전송된 커맨드, 어드레스 등을 이용하여 내부 커맨드 신호, 내부 어드레스 신호, 제어신호를 생성하여 메모리 소자를 이루는 각 구성 요소들의 동작을 중재하기 위한 중재기; 각 사분면의 모든 뱅크가 공유하는 장축면 부분에 배치되며, 각각 다른 타겟 디바이스와 독립적인 통신을 수행하기 위한 포트; 각 사분면에 대응하는 상기 뱅크와 상기 포트 사이에 배치된 제1 및 제4 글로벌 입/출력 버스; 로우 방향으로 인접한 두 글로벌 입/출력 버스를 연결하기 위한 제1 및 제2 파이프 레지스터; 각 뱅크의 일측에 배치되며, 비트라인 감지증폭기와 각 뱅크에 대응하는 하기 트랜스퍼 래치를 연결하기 위한 트랜스퍼 버스; 컬럼 방향으로 인접한 두 트랜스퍼 버스를 연결하기 위한 다수의 트랜스퍼 게이트; 및 각 트랜스퍼 버스와 해당 뱅크가 속한 사분면의 상기 글로벌 입/출력 버스 사이에 배치된 다수의 트랜스퍼 래치를 구비하는 직렬 입/출력 인터페이스를 가진 멀티-포트 메모리 소자가 제공된다.

1020030060250

출력 일자: 2003/12/24

【대표도】

도 1

【색인어】

직렬 입/출력 인터페이스, 멀티-포트, 메모리,

【명세서】**【발명의 명칭】**

직렬 입/출력 인터페이스를 가진 멀티-포트 메모리 소자{MULTI-PORT MEMORY DEVICE HAVING SERIAL I/O INTERFACE}

【도면의 간단한 설명】

도 1은 본 발명의 일 실시예에 따른 직렬 입/출력 인터페이스를 가진 멀티-포트 메모리 소자의 배치도.

* 도면의 주요 부분에 대한 부호의 설명

TG : 트랜스퍼 게이트

TB : 트랜스퍼 버스

TL : 트랜스퍼 래치

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 반도체 메모리 설계 기술에 관한 것으로, 특히 직렬 입/출력 인터페이스 (Serial I/O Interface)를 가진 멀티-포트 메모리 소자에 관한 것이다.

- <7> 인터페이스(Interface)는 본래 두개의 구성요소, 기능단위가 갖는 경계·접촉면 또는 공유하는 영역이란 의미를 가진다. 인터페이스는 시스템·장치에 있어서는 서로 다른 기능을 갖는 기기간의 상호연결을 의미하여, 데이터전송에 있어서는 두개의 시스템 또는 장기간의 물리적 접속조건, 연결부분품 또는 서브시스템의 물리적 표면·간격 등 기계적 조건, 정합신호레벨·인피던스·파워레벨 등의 전기적 조건, 두개의 장치·시스템 상호접속에 관한 회로의 형식과 신호의 형식 등에 관한 규격을 포함한다.
- <8> 한편, 인터페이스에는 입/출력 인터페이스, 맨머신 인터페이스, 시스템콜 인터페이스, 통신프로토콜 등 여러가지가 있으나, 이하에서는 입/출력 인터페이스만을 고려하기로 한다.
- <9> 입/출력 인터페이스는 서로 다른 기능단위를 신호선으로 연결하여 통신을 처리할 때 그 송/수신 정보가 정확히 상대에게 전달 되도록 하기 위한 전기적, 기계적 취급 방법이며, 이 신호선을 통합하여 버스(bus)라고 한다. 버스에는 데이터 버스, 제어 버스, 그라운드 버스 등이 있으며, 버스의 라인수는 인터페이스에 따라 다르므로 일정 하지는 않다..
- <10> 병렬 입/출력 인터페이스의 경우, 여러 개의 라인을 통해 동시에 여러 비트의 데이터를 보낼 수 있어 확실히 효율(속도)이 좋은 반면, 라인수가 많아지므로 거리가 길어지면 전송 코스트가 높아지게 된다. 이러한 이유로 병렬 입/출력 인터페이스는 빠른 속도를 요하는 짧은 거리 전송에 주로 이용되고 있다.
- <11> 직렬 입/출력 인터페이스의 경우, 하나의 라인을 통해 데이터를 주고 받게 된다. 따라서, 병렬 입/출력 인터페이스에 비해서는 속도 상에서 불리한 측면이 있는 반면, 그 하드웨어 측면 및 제어 측면에서 보다 단순하다는 장점이 있다. 그러나, 직렬전송 방식이 병렬전송 방식 보다 느리다는 것이 항상 옳은 얘기는 아니다.

- <12> 컴퓨터 내부에는 비트 전송이 병렬로 이루어지는 많은 디바이스가 있다. 보조기억장치로서 널리 사용되고 있는 RAM(Random Access Memory)도 병렬 입/출력 인터페이스를 사용하고 있다. 즉, RAM은 다수의 입/출력핀(DQ)을 통해 외부와 데이터를 병렬적으로 교환한다.
- <13> 한편, 전술한 바와 같은 병렬 입/출력 인터페이스의 단점을 고려하여 기존의 병렬 입/출력 인터페이스 디바이스를 직렬 입/출력 인터페이스로 전환하려는 노력이 계속되고 있으며, 다른 직렬 입/출력 인터페이스 디바이스와의 호환성 확장 등을 고려하여 RAM의 인터페이스 또한 직렬 입/출력 인터페이스로의 전환이 요구되고 있다.
- <14> 그러나, 현재의 거의 모든 RAM은 병렬 입/출력 인터페이스를 가지며, 다수의 라인을 가진 데이터 버스를 이용하여 내부적인 데이터 처리를 병렬적으로 수행하기 때문에 직렬 입/출력 인터페이스의 구현이 용이하지 않았다.
- <15> 또한, 현재의 RAM은 대부분 하나의 포트를 구비한다. 즉, 칩셋과의 데이터 교환을 위한 하나의 포트만을 구비하고 있다. 그러나, 최근에는 칩셋과 메모리의 기능 구분이 모호해지고 있으며, 칩셋과 메모리의 통합이 고려되고 있다. 이러한 추세에 비추어 주변의 그래픽 디바이스, CPU 등과 직접 데이터를 교환할 수 있는 멀티-포트 메모리 소자가 요구되고 있다.

【발명이 이루고자 하는 기술적 과제】

- <16> 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 직렬 입/출력 인터페이스를 지원하며, 독립적인 데이터 교환이 가능한 다수의 포트를 구비하는 직렬 입/출력 인터페이스를 가진 멀티-포트 메모리 소자를 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<17> 상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 각각 다수의 DRAM 셀과 로우 디코더를 포함하며, 코어 영역을 4분할하고 있는 각 사분면에 일정 갯수만큼 로우 방향으로 배치된 다수의 뱅크; 1, 3사분면의 코어 영역과 2, 4사분면의 코어 영역 사이에 배치되며, 패킷 형태로 전송된 커맨드, 어드레스 등을 이용하여 내부 커맨드 신호, 내부 어드레스 신호, 제어신호를 생성하여 메모리 소자를 이루는 각 구성 요소들의 동작을 중재하기 위한 중재기; 각 사분면의 모든 뱅크가 공유하는 장축면 부분에 배치되며, 각각 다른 타겟 디바이스와 독립적인 통신을 수행하기 위한 포트; 각 사분면에 대응하는 상기 뱅크와 상기 포트 사이에 배치된 제1 및 제4 글로벌 입/출력 버스; 로우 방향으로 인접한 두 글로벌 입/출력 버스를 연결하기 위한 제1 및 제2 파이프 레지스터; 각 뱅크의 일측에 배치되며, 비트라인 감지증폭기와 각 뱅크에 대응하는 하기 트랜스퍼 래치를 연결하기 위한 트랜스퍼 버스; 컬럼 방향으로 인접한 두 트랜스퍼 버스를 연결하기 위한 다수의 트랜스퍼 게이트; 및 각 트랜스퍼 버스와 해당 뱅크가 속한 사분면의 상기 글로벌 입/출력 버스 사이에 배치된 다수의 트랜스퍼 래치를 구비하는 직렬 입/출력 인터페이스를 가진 멀티-포트 메모리 소자가 제공된다.

<18> 이하, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.

<19> 도 1은 본 발명의 일 실시예에 따른 직렬 입/출력 인터페이스를 가진 멀티-포트 메모리 소자의 배치도이다.

<20> 도 1을 참조하면, 본 실시예에 따른 직렬 입/출력 인터페이스를 가진 멀티-포트 메모리 소자는 각각 다수(예컨대, 8k 로우 × 8k 컬럼, 16M)의 DRAM 셀과 로우 디코더를 포함하는 총 16 개의 뱅크(bank0~bank15)를 구비한다. 물론, 각 뱅크 내부에는 통상의 DRAM 셀 어레이에서 필 수적인 비트라인 감지증폭기 등의 회로가 포함된다. 뱅크(bank0~bank15)는 코어 영역을 4분할하고 있는 각 사분면에 4개씩 로우 방향으로 배치된다. 구체적으로, 코어 영역의 1사분면(좌측 위)에는 뱅크0, 뱅크2, 뱅크4, 뱅크6가, 2사분면(우측위)에는 뱅크8, 뱅크10, 뱅크12, 뱅크14가, 3사분면(좌측아래)에는 뱅크1, 뱅크3, 뱅크5, 뱅크7이, 4사분면(우측아래)에는 뱅크9, 뱅크11, 뱅크13, 뱅크15가 각각 배치된다. 한편, 로우 디코더는 각 뱅크의 일측에 인접 뱅크의 로우 디코더와 짹을 이루도록 배치하는 것이 바람직하다. 그리고, 하나의 페이지(컬럼)은 총 4 개의 세크먼트(예컨대, 512 비트 셀로 이루어짐)로 나누어진다.

<21> 또한, 본 실시예에 따른 직렬 입/출력 인터페이스를 가진 멀티-포트 메모리 소자는 1, 3 사분면의 코어 영역과 2, 4사분면의 코어 영역 사이에 배치된 중재기(Arbiter)를 구비한다. 중재기는 패킷 형태로 전송된 커맨드, 어드레스 등을 이용하여 내부 커맨드 신호, 내부 어드레스 신호, 제어신호 등을 생성함으로써 메모리 소자를 이루는 각 구성 요소들의 동작을 중재하는 컨트롤 블럭이다.

<22> 또한, 본 실시예에 따른 직렬 입/출력 인터페이스를 가진 멀티-포트 메모리 소자는 각 사분면의 다이(die) 가장자리 부분(해당 사분면의 모든 뱅크가 공유하는 장축변 부분)에 각각 두개의 포트를 구비한다. 구체적으로, 1사분면에는 port0, port2가, 2사분면에는 port4, port6이, 3사분면에는 port1, port3이, 4사분면에는 port5, port7이 각각 배치된다. 각 포트는 직렬 I/O 인터페이스를 지원하며, 각각 다른 타겟 디바이스(예컨대, 칩셋, 그래픽 칩 등)와 독립적 인 통신을 수행한다. 포트는 데이터, 어드레스, 커맨드 등에 대응하는 다수의 패드와, 패드에

전달된 송/수신 신호를 버퍼링하기 위한 패드 버퍼(리드 버퍼, 라이트 버퍼)와, 수신된 데이터를 디코딩하기 위한 디코더와, 송신할 데이터를 인코딩하기 위한 인코더와, 수신된 직렬 데이터를 병렬 데이터로 변환하고 송신할 병렬 데이터를 직렬 데이터로 변환하기 위한 데이터 변환기 등을 구비한다.

<23> 또한, 본 실시예에 따른 직렬 입/출력 인터페이스를 가진 멀티-포트 메모리 소자는 각 사분면에 대응하는 뱅크와 포트 사이에 글로벌 I/O 버스(GI0)가 각각 배치된다. GI0는 해당 사분면의 뱅크, 포트, 파이프 레지스터(후술함)와 접속되는 양방향 데이터 버스(예컨대, 512 비트)이다.

<24> 한편, 1사분면에 대응하는 GI0와 2사분면에 대응하는 두 GI0는 파이프 레지스터를 통해 연결될 수 있으며, 3사분면에 대응하는 GI0와 4사분면에 대응하는 두 GI0 역시 다른 파이프 레지스터를 통해 연결될 수 있다.

<25> 또한, 본 실시예에 따른 직렬 입/출력 인터페이스를 가진 멀티-포트 메모리 소자는 각 뱅크의 일측(로우 디코더의 반대쪽)에 배치된 트랜스퍼 버스(TB)를 구비한다. 트랜스퍼 버스(TB)는 비트라인 감지증폭기와 각 뱅크에 대응하는 트랜스퍼 래치(후술함)를 연결하는 차동 데이터 버스(예컨대, 512 비트)이다.

<26> 한편, 1사분면의 각 뱅크에 대응하는 트랜스퍼 버스(TB)는 동일 컬럼축 상에 배치된 3사분면의 각 뱅크에 대응하는 트랜스퍼 버스(TB)와 트랜스퍼 게이트(TG)를 통해 연결될 수 있다 (512개의 TG가 1세트로 구성되며, 총 8세트임). 즉, 트랜스퍼 게이트(TG)는 동일 컬럼축 상에 배치된 두 뱅크(이를 어레이라 정의함)에 대응하는 트랜스퍼 버스(TB) 사이에 배치되어 두 트랜스퍼 버스(TB)의 연결을 제어한다. 트랜스퍼 게이트(TG)를 제어하기 위한 제어신호는 중재기에서 생성된다.

- <27> 또한, 본 실시예에 따른 직렬 입/출력 인터페이스를 가진 멀티-포트 메모리 소자는 각 트랜스퍼 버스(TB)와 해당 뱅크가 속한 사분면의 GIO 사이에 배치된 트랜스퍼 래치(TL)를 구비한다(512개의 TL이 1세트이며, 총 16세트임). 각 트랜스퍼 래치(TL)는 트랜스퍼 버스(TB)에 실린 리드 데이터를 감지하기 위한 리드 감지증폭기와, 리드 데이터를 GIO로 드라이빙하기 위한 리드 드라이버와, GIO에 실린 라이트 데이터를 래치하기 위한 라이트 래치와, 트랜스퍼 버스(TB)로 라이트 데이터를 드라이빙하기 위한 라이트 드라이버를 구비한다.
- <28> 이외에도 본 실시예에 따른 직렬 입/출력 인터페이스를 가진 멀티-포트 메모리 소자는 다이의 각 모서리 부분에 배치되며, 외부 전압을 인가 받아 내부 전압을 생성하기 위한 전압 생성기, 1사분면 및 2사분면에 대응하는 포트 사이 그리고 3사분면 및 4사분면에 대응하는 포트 사이에 배치된 테스트 로직, 다이의 가장자리에 배치된 클럭 패드를 비롯한 각종 패드 등을 더 구비한다.
- <29> 또한, 도시되지는 않았으나, 각 사분면에는 중재기로부터 뱅크에 이르는 커맨드 라인(활성화, 비활성화, 리드, 라이트)과, 중재기로부터 뱅크에 이르는 어드레스 라인(활성화 어레이 어드레스, 비활성화 어레이 어드레스, 리드 어레이 어드레스, 라이트 어레이 어드레스, 로우 어드레스, 리드 세그먼트 어드레스, 라이트 세그먼트 어드레스)이 구비된다. 그리고, 중재기 좌우측에는 각각 중재기로부터 트랜스퍼 게이트(TG)에 이르는 트랜스퍼 게이트 제어라인이 구비된다.
- <30> 이하, 상기와 같이 구성된 본 실시예에 따른 직렬 입/출력 인터페이스를 가진 멀티-포트 메모리 소자의 동작을 살펴본다.
- <31> 만약, 포트 port4를 통해 리드 커맨드, 어드레스 등이 패킷 형태로 인가되어 뱅크1에 있는 특정 세그먼트(512 비트)의 데이터를 포트 port4를 통해 출력하는 경우를 가정하면, 중재기

는 뱅크1에 대한 내부 활성화 커맨드 신호, 활성화 어레이 어드레스, 로우 어드레스를 생성하여 해당 로우를 활성화시키고, 이어서 뱅크1에 대한 내부 리드 커맨드 신호, 리드 어레이 어드레스, 리드 세그먼트 어드레스를 생성하여 해당 세그먼트의 512 비트 데이터를 감지증폭하여 트랜스퍼 버스(TB)로 구동하고, 중재기에서 생성된 제어신호에 의해 뱅크0와 뱅크1이 공유하는 트랜스퍼 게이트(TG)가 열려 뱅크0의 트랜스퍼 버스(TB)로 리드 데이터가 전달된다. 한편, 뱅크0의 트랜스퍼 래치(TL)는 뱅크0의 트랜스퍼 버스(TB)에 실린 리드 데이터를 감지하여 1사분면의 GIO로 데이터를 구동한다. 이어서, 중재기는 파이프 레지스터를 제어하여 1사분면의 GIO에 실린 리드 데이터를 2사분면의 GIO에 전달하고, 2사분면의 GIO에 전달된 리드 데이터는 포트 port4의 리드 버퍼에 저장된다. 리드 버퍼에 저장된 데이터는 일정단위의 패킷으로 변환되어 직렬 데이터 형태로 타겟 디바이스에 전송된다. 이후, 중재기는 내부 비활성화 커맨드 신호, 비활성화 어레이 어드레스를 생성하여 해당 어레이의 로우를 비활성화시킨다.

<32> 한편, 라이트 커맨드를 수행하는 경우에는 리드시와 반대되는 경로를 통해 특정 포트로부터 지정된 뱅크의 세그먼트로 데이터가 전달된다.

<33> 이상에서 살펴본 바와 같이 본 발명의 메모리 소자는 모든 포트에서 모든 세그먼트를 액세스할 수 있게 된다. 액세스되는 뱅크와 대상 포트의 위치에 따라 트랜스퍼 게이트(TG)와 파이프 레지스터가 사용되지 않는 경우도 발생하며, 이때 각 사분면은 독립적인 영역으로 동작한다.

<34> 한편, 본 발명의 메모리 소자는 포트가 쌍을 이루어 배치되기 때문에 512 비트의 리드와 512 비트의 라이트를 동시에 수행할 수 있다.

- <35> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.
- <36> 예컨대, 전술한 실시예에서는 DRAM 셀을 사용하는 경우를 일례로 들어 설명하였으나, 본 발명은 SRAM을 비롯한 다른 RAM 셀을 사용하는 경우에도 적용된다.
- <37> 또한, 전술한 실시예에서는 512비트 단위를 기본으로 하는 경우를 일례로 들어 설명하였으나, 본 발명은 기본 비트 단위를 변경하는 경우에도 적용된다.
- <38> 또한, 전술한 실시예에서 사용된 포트의 수, 뱅크의 수 등도 메모리 소자의 용량에 따라 변경될 수 있다.

【발명의 효과】

- <39> 전술한 본 발명은 직렬 입/출력 인터페이스를 지원하며, 독립적인 데이터 교환이 가능한 다수의 포트를 구비하는 새로운 메모리 소자를 제공하며, 직렬 입/출력 인터페이스, 멀티-포트 액세스 등의 시대적 요구를 수용하여 메모리 기술의 새로운 지평을 마련할 것으로 기대된다.

【특허청구범위】**【청구항 1】**

각각 다수의 DRAM 셀과 로우 디코더를 포함하며, 코어 영역을 4분할하고 있는 각 사분면에 일정 갯수만큼 로우 방향으로 배치된 다수의 뱅크;

1, 3 사분면의 코어 영역과 2, 4사분면의 코어 영역 사이에 배치되며, 패킷 형태로 전송된 커맨드, 어드레스 등을 이용하여 내부 커맨드 신호, 내부 어드레스 신호, 제어신호를 생성하여 메모리 소자를 이루는 각 구성 요소들의 동작을 중재하기 위한 중재기;

각 사분면의 모든 뱅크가 공유하는 장축변 부분에 배치되며, 각각 다른 타겟 디바이스와 독립적인 통신을 수행하기 위한 포트;

각 사분면에 대응하는 상기 뱅크와 상기 포트 사이에 배치된 제1 및 제4 글로벌 입/출력 버스;

로우 방향으로 인접한 두 글로벌 입/출력 버스를 연결하기 위한 제1 및 제2 파이프 레지스터;

각 뱅크의 일측에 배치되며, 비트라인 감지증폭기와 각 뱅크에 대응하는 하기 트랜스퍼 래치를 연결하기 위한 트랜스퍼 버스;

컬럼 방향으로 인접한 두 트랜스퍼 버스를 연결하기 위한 다수의 트랜스퍼 게이트; 및

각 트랜스퍼 버스와 해당 뱅크가 속한 사분면의 상기 글로벌 입/출력 버스 사이에 배치된 다수의 트랜스퍼 래치

를 구비하는 직렬 입/출력 인터페이스를 가진 멀티-포트 메모리 소자.

【도면】

【도 1】

